

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244569

(43)Date of publication of application : 07.09.2001

(51)Int.Cl.

H01S 5/22

(21)Application number : 2000-055403

(71)Applicant : SONY CORP

(22)Date of filing : 01.03.2000

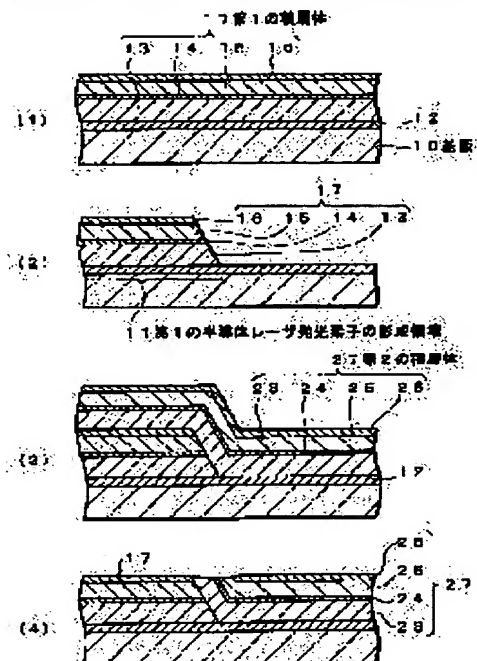
(72)Inventor : NARUI HIRONOBU

## (54) METHOD OF MANUFACTURING FOR SEMICONDUCTOR LASER LIGHT EMITTING DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To achieve working with high precision by canceling a surface step-difference of a laminated film which is formed so as to cover a first semiconductor laser light emitting element and turned into a second semiconductor laser light emitting element, when a semiconductor laser light emitting device oscillating two wavelengths is manufactured.

**SOLUTION:** In this manufacturing method of the semiconductor laser light emitting device 1, the first and the second semiconductor laser light emitting elements 3, 5 which oscillate laser lights of different wavelengths are formed on a substrate 10. A first laminate 17 in which ternary based compound semiconductors are laminated is formed in a forming region 11 of the first semiconductor laser light emitting element on the substrate 10, and a second laminate 27 which covers the first laminate 17 and composed of quaternary based compound semiconductors is formed on the substrate 10. After that, a surface of the second laminate 27 is so flattened that a surface of the first laminate 17 is exposed, and ridge type current injection regions 32, 33 are formed on a clad layer. A current constriction region 34 is formed, the first laminate 17 and the second laminate 27 are separated, and a space 35 is formed between the laminates.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-244569

(P2001-244569A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl.<sup>7</sup>

H 0 1 S 5/22

識別記号

6 1 0

F I

H 0 1 S 5/22

データベース\* (参考)

6 1 0 5 F 0 7 3

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願2000-55403 (P2000-55403)

(22) 出願日 平成12年3月1日 (2000.3.1)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 成井 啓修

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム(参考) 5F073 AA07 AA13 AB06 CA05 CA17

CB02 CB07 CB10 DA05 DA22

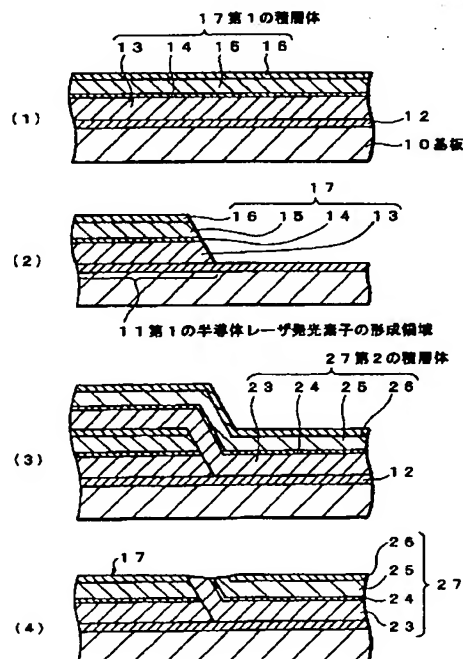
EA29

(54) 【発明の名称】 半導体レーザ発光装置の製造方法

(57) 【要約】

【課題】 2波長を発振する半導体レーザ発光装置を製造する場合、第1の半導体レーザ発光素子を覆うように形成する第2の半導体レーザ発光素子となる積層膜の表面段差を解消して、高精度な加工の実現を図る。

【解決手段】 基板10に、異なる波長のレーザ光を発振する第1、第2の半導体レーザ発光素子3、5を形成する半導体レーザ発光装置1の製造方法であって、基板10上の第1の半導体レーザ発光素子の形成領域11に3元系化合物半導体を積層した第1の積層体17を形成し、次いで、基板10上に第1の積層体17を覆う4元系化合物半導体からなる第2の積層体27を形成した後、第1の積層体17表面が露出するように第2の積層体27表面を平坦化し、クラッド層にリッジ状の電流注入領域32、33を形成し、電流狭窄領域34を形成して、第1の積層体17と前記第2の積層体27とを分離して積層体間に空間35を形成する。



## 【特許請求の範囲】

【請求項1】 基板に、異なる波長のレーザ光を発振する第1の半導体レーザ発光素子と第2の半導体レーザ発光素子とを形成する半導体レーザ発光装置の製造方法であって、

基板上に前記第1の半導体レーザ発光素子を構成する化合物半導体層を積層して第1の積層体を形成する工程と、

第1の半導体レーザ発光素子の形成領域に前記第1の積層体を残して、その他の領域に形成されている前記第1 10の積層体を除去する工程と、

前記基板上に前記第2の半導体レーザ発光素子を構成する化合物半導体層を積層して第2の積層体を形成する工程と、

前記第1の積層体上に形成された前記第2の積層体を除去して前記第1の積層体表面を露出させるとともに前記第2の積層体表面を平坦化する工程と、

前記第1および第2の積層体のそれぞれにリッジ状の電流注入領域を形成する工程と、

前記各電流注入領域を除く前記第1の積層体および前記 20第2の積層体上に選択的に電流狭窄層を形成する工程と、

前記電流狭窄層、および前記第1の積層体と前記第2の積層体との間に空間を形成して前記第1の積層体と前記第2の積層体とを分離する工程とを備えたことを特徴とする半導体レーザ発光装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体レーザ発光装置の製造方法に関し、詳しくは2波長のレーザ光を発 30振する半導体レーザ発光装置の製造方法に関する。

## 【0002】

【従来の技術】 従来の2波長のレーザ光を発振する半導体レーザ発光装置の製造方法を図3および図4の製造工程断面図によって以下に説明する。

【0003】 図3の(1)に示すように、有機金属気相エピタキシャル成長〔MOVPE (Metal Organic Vapor Phase Epitaxial growth)〕法によって、GaAsからなるn型基板110上に、GaAsからなるn型バッファ層131、AlGaAsからなるn型クラッド層132、活性層(発振波長が780nmの多重量子井戸構造)133、AlGaAsからなるp型クラッド層134、GaAsからなるp型キャップ層135を順に積層する。

【0004】 次に、図3の(2)に示すように、第1の半導体レーザ発光素子の形成領域121上を覆うレジスト膜(図示せず)を形成し、そのレジスト膜をマスクに用いた硫酸系の無選択エッチングおよびフッ酸(HF)系のAlGaAs選択エッチングなどのウェットエッチングによって、第1の半導体レーザ発光素子の形成領域 50

121を除くその他のp型キャップ層135からn型クラッド層132までを除去して、第1の半導体レーザ発光素子の形成領域121上に上記p型キャップ層135、p型クラッド層134、活性層133およびn型クラッド層132を積層して成る第1の積層体123を形成する。

【0005】 次に、図3の(3)に示すように、MOVPE法によって、n型バッファ層131上に上記第1の積層体123を覆うように、InGaPからなるn型バッファ層136、AlGaInPからなるn型クラッド層137、活性層(発振波長が650nmの多重量子井戸構造)138、AlGaInPからなるp型クラッド層139、GaAsからなるp型キャップ層140を順に積層する。

【0006】 次に、図3の(4)に示すように、第2の半導体レーザ発光素子の形成領域122上を覆うレジスト膜(図示せず)を形成する。そのレジスト膜をマスクに用いた硫酸系のキャップ層エッチングおよびリン酸塩酸系の4元系化合物半導体の選択エッチング、塩酸系の分離エッチングなどのウェットエッチングによって、第2の半導体レーザ発光素子の形成領域122を除くその他の部分のp型キャップ層140からn型バッファ層136までを除去して、第2の半導体レーザ発光素子の形成領域122上に上記n型バッファ層136、n型クラッド層137、活性層138、p型クラッド層139およびp型キャップ層140を積層してなる第2の積層体124を形成する。その結果、第1の積層体123と第2の積層体124とに分離形成される。

【0007】 次に、図4の(5)に示すように、第1、第2の積層体123、124上に、電流注入領域となる部分を覆う絶縁膜125を形成した後、その絶縁膜125をマスクに用いたエッチングによって、ゲインガイド型の電流狭窄構造となるストライプ構造を形成するために、p型キャップ層135、140の表面からp型クラッド層134、139の途中の深さまでリッジ状に加工する。

【0008】 次に、図4の(6)に示すように、例えばGaAsからなるn型層141を化合物半導体層上に選択成長させて、p型クラッド層134、139の途中の深さまでのリッジ状にエッチングした部分を埋め込む。

【0009】 その後、上記絶縁膜125をエッチングによって除去する。次に、図4の(7)に示すように、第1、第2の積層体123、124の上面に形成されたn型層141を覆うレジスト膜(図示せず)を形成した後、そのレジスト膜をマスクに用いたエッチングによって、第1、第2の積層体123、124の上面のみに上記n型層141を残して、その他の部分のn型層141を除去する。

【0010】 その後、図4の(8)に示すように、上記レジスト膜を除去する。さらに上記p型キャップ層13

5、140に接続するp型電極143、144を例えばTi/Pt/Auの積層体で形成するとともに、n型基板110に接続するn型電極151を例えばAuGe/Ni/Auの積層体で形成する。

【0011】

【発明が解決しようとする課題】しかしながら、第1の積層体からなる第1の半導体レーザ発光素子と第2の積層体からなる第2の半導体レーザ発光素子とに分離するための分離工程において、下地段差が大きい部分でエッチングマスクとなるレジスト膜に対する露光工程を行う必要があるため、高精度なレジストパターニングを行うことが困難となっていた。

【0012】また、エッチングによって第1の積層体からなる第1の半導体レーザ発光素子と第2の積層体からなる第2の半導体レーザ発光素子とに分離するための分離工程と、電流狭窄層となるn型層をエッチングして分離する分離工程と、2度の分離工程を必要としていたため、プロセス的負荷が大きくなっていた。

【0013】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体レーザ発光装置の製造方法である。

【0014】上記半導体レーザ発光装置の製造方法は、基板に、異なる波長のレーザ光を発振する第1の半導体レーザ発光素子と第2の半導体レーザ発光素子とを形成する半導体レーザ発光装置の製造方法であって、基板上に前記第1の半導体レーザ発光素子を構成する化合物半導体層を積層して第1の積層体を形成する工程と、第1の半導体レーザ発光素子の形成領域に前記第1の積層体を残して、その他の領域に形成されている前記第1の積層体を除去する工程と、前記基板上に前記第2の半導体レーザ発光素子を構成する化合物半導体層を積層して第2の積層体を形成する工程と、前記第1の積層体上に形成された前記第2の積層体を除去して前記第1の積層体表面を露出させるとともに前記第2の積層体表面を平坦化する工程と、前記第1および第2の積層体のそれぞれにリッジ状の電流注入領域を形成する工程と、前記各電流注入領域を除く前記第1の積層体および前記第2の積層体上に選択的に電流狭窄層を形成する工程と、前記電流狭窄層、および前記第1の積層体と前記第2の積層体との間に空間を形成して前記第1の積層体と前記第2の積層体とを分離する工程とを備えている。

【0015】上記半導体レーザ発光装置の製造方法では、第1の積層体上に形成された第2の積層体を除去して第1の積層体表面を露出させるとともに第2の積層体表面を平坦化する工程を備えていることから、その後に行なわれる第1の積層体と第2の積層体とを分離して積層体間に空間を形成する分離工程において、下地が平坦化されている状態でエッチングマスクとなるレジスト膜に対する露光工程を行うことが可能になるため、高精度

なレジストパターニングを行うことが可能になり、それによっても、高精度に分離が行える。

【0016】また、第1の積層体と第2の積層体とを分離して積層体間に空間を形成する分離工程と、電流狭窄層をエッチングして分離する工程とを、1度の分離工程で行うため、プロセス的負荷が軽減される。

【0017】

【発明の実施の形態】本発明の半導体レーザ発光装置の製造方法に係る実施の形態を、図1および図2の製造工程断面図によって説明する。

【0018】図1の(1)に示すように、有機金属気相エピタキシャル成長〔MOVPE (Metal Organic Vapor Phase Epitaxial growth)〕法のようなエピタキシャル成長法によって、基板10上にn型バッファ層12を形成する。続けて、n型バッファ層12上に、第1導電型(ここではn型とする)クラッド層13、発振波長が780nmの多重量子井戸構造の活性層14、第2導電型(ここではp型とする)クラッド層15、p型キャップ層16を順に積層して第1の積層体17を形成する。上記基板10は例えばn型GaAs基板を用い、上記n型バッファ層12は例えばn型GaAs層で形成し、上記n型クラッド層13は例えばn型AlGaAs層で形成し、上記p型クラッド層15は例えばp型AlGaAs層で形成し、p型キャップ層16は例えばp型GaAs層で形成する。なお、活性層14と各クラッド層13、15との間にガイド層を設けてもよい。

【0019】次に、図1の(2)に示すように、第1の半導体レーザ発光素子の形成領域11上を覆うレジスト膜(図示せず)を形成し、そのレジスト膜をマスクに用いた硫酸系の無選択エッチングおよびフッ酸(HF)系のAlGaAs選択エッチングなどのウェットエッチングによって、第1の半導体レーザ発光素子の形成領域11を除く部分の上記p型キャップ層16から上記n型クラッド層13までを除去する。その結果、第1の半導体レーザ発光素子の形成領域11上に、n型クラッド層13、活性層14、p型クラッド層15、p型キャップ層16を順に積層した第1の積層体17が残される。

【0020】次いで、図1の(3)に示すように、例えばMOVPE法などのエピタキシャル成長法によって、例えばn型バッファ層12上に、n型バッファ層(図示せず)、第1導電型(n型)クラッド層23、発振波長が650nmの多重量子井戸構造の活性層24、第2導電型(p型)クラッド層25、p型キャップ層26を順に積層して第2の積層体27を形成する。上記n型バッファ層は例えばn型InGaP層で形成し、上記n型クラッド層23は例えばn型AlGaInP層で形成し、上記p型クラッド層25は例えばp型AlGaInP層で形成し、p型キャップ層26は例えばp型GaAs層で形成する。

【0021】次に上記第2の積層体27上に平坦化膜

(図示せず)を、例えばレジストで形成した後、平坦化のためのエッチング(エッチバック)を第1の積層体17の最表面が露出するように行う。その結果、図1の(4)に示すように、n型バッファ層(図示せず)、n型クラッド層23、活性層24、p型クラッド層25およびp型キャップ層26からなる第2の積層体27は平坦化されるとともに第1の積層体17の最表面が露出される。

【0022】次に、図2の(5)に示すように、第1、第2の積層体17、27上に、電流注入領域となる部分を覆う絶縁膜31を形成する。

【0023】次いで、図2の(6)に示すように、その絶縁膜31をマスクに用いたエッチングによって、ゲインガイド型の電流狭窄構造となるストライプ構造を形成するために、例えば、p型キャップ層16、26の表面からp型クラッド層15、25の途中の深さまでリッジ上に加工する。このリッジ状に加工されて領域が電流注入領域32、33となる。なお、エッチングの深さdを変えることにより、ゲートガイド型もしくはインデックスガイド型に形成することができる。

【0024】次に、図2の(7)に示すように、絶縁膜31をマスクに用いた選択成長によって、第1、第2の積層体17、27が露出している部分上に、例えばn型層を選択成長させて電流狭窄層34を形成する。ここでは、電流狭窄層34を例えばn型GaAs層で形成する。

【0025】その後、上記絶縁膜31をエッチングによって除去する。次いで、図2の(8)に示すように、電流狭窄層34、p型キャップ層16、26等を覆うレジスト膜(図示せず)を形成した後、リソグラフィ技術によって上記レジスト膜をパターニングして、第1、第2の半導体レーザ発光素子の形成領域11、21上を覆うレジスト膜(図示せず)を形成する。

【0026】そのレジスト膜をマスクに用いた、アンモニア系エッチング液による電流狭窄層34のエッチングおよびリン酸塩酸系のエッチング液による4元系化合物半導体の選択エッチング、塩酸系の分離エッチングなどのウェットエッチングによって、第2の半導体レーザ発光素子の形成領域21を除くその他の部分のn型バッファ層(図示せず)までの上記第2の積層体27を除去する。その結果、第1の積層体17からなる第1の半導体レーザ発光素子3と第2の積層体27からなる第2の半導体レーザ発光素子5との間に空間35が形成され、第1の半導体レーザ発光素子3と第2の半導体レーザ発光素子5とが分離形成される。

【0027】その後、上記レジスト膜を除去する。さらに、上記p型キャップ層16に接続するp型電極18を例えばTi/Pt/Auの積層体で形成するとともに、上記p型キャップ層26に接続するp型電極28を例えばTi/Pt/Auの積層体で形成する。さらに、基板

10に接続するn型電極51を例えばAuGe/Ni/Auの積層体で形成する。

【0028】上記説明したようにして、第1の積層体17を主要構成とした第1の半導体レーザ発光素子3と、第2の積層体27を主要構成とした第2の半導体レーザ発光素子5とを同一チップに搭載した半導体レーザ発光装置1が完成する。

【0029】上記半導体レーザ発光装置1の製造方法では、第1の積層体17上に形成された第2の積層体27を除去して第1の積層体17表面を露出させるとともに第2の積層体27表面を平坦化する工程を備えていることから、その後に行なわれる第1の積層体17と第2の積層体27とを分離して積層体間に空間34を形成する分離工程において、下地が平坦化されている状態でエッチングマスクとなるレジスト膜(図示せず)に対する露光工程を行うことが可能になるため、高精度なレジストパターニングを行うことが可能になり、それによってもって、高精度に分離が行える。

【0030】

20 【発明の効果】以上、説明したように本発明の半導体レーザ発光装置の製造方法によれば、第1の積層体上に形成された第2の積層体を除去して第1の積層体表面を露出させるとともに第2の積層体表面を平坦化する工程を備えているので、その後に行なわれる第1の積層体と第2の積層体とを分離して積層体間に空間を形成する分離工程において、下地が平坦化されている状態でエッチングマスクとなるレジスト膜に対する露光工程を行うことが可能になるため、高精度なレジストパターニングを行うことが可能になる。よって、3元系化合物半導体領域と4元系化合物半導体領域とを高精度に分離することができる。また、第1の積層体と第2の積層体とを分離して積層体間に空間を形成する分離工程と、電流狭窄層となる絶縁層をエッチングして分離する工程とを、1度の分離工程で行うため、プロセスの負荷を軽減することができる。

【図面の簡単な説明】

【図1】本発明の半導体レーザ発光装置の製造方法に係る実施の形態を示す製造工程断面図である。

【図2】本発明の半導体レーザ発光装置の製造方法に係る実施の形態を示す製造工程断面図である。

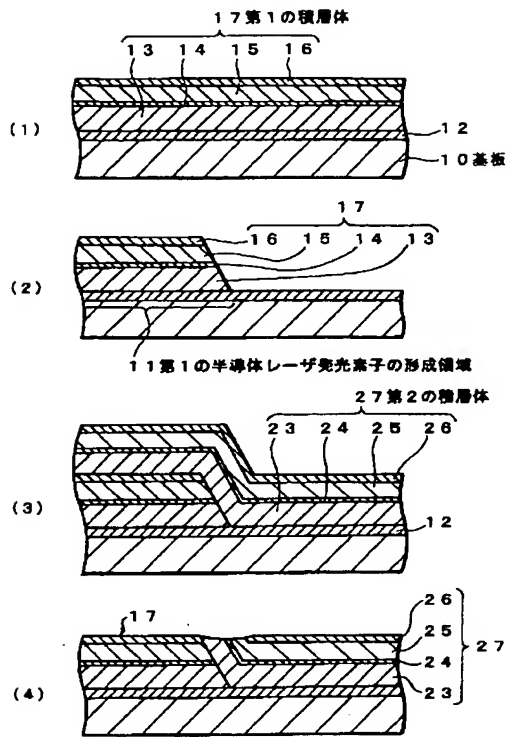
【図3】従来の半導体レーザ発光装置の製造方法を示す製造工程断面図である。

【図4】従来の半導体レーザ発光装置の製造方法を示す製造工程断面図である。

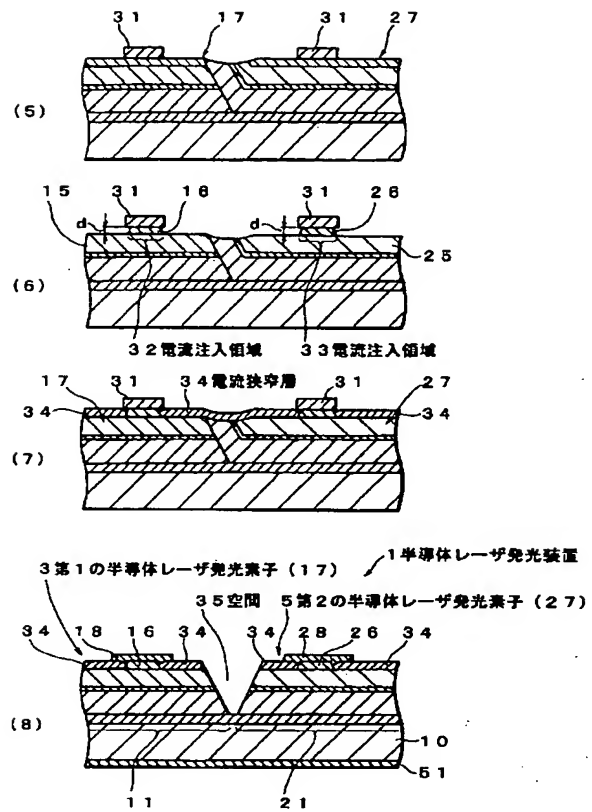
【符号の説明】

1…半導体レーザ発光装置、3…第1の半導体レーザ発光素子、5…第2の半導体レーザ発光素子、10…基板、11…第1の半導体レーザ発光素子形成領域、17…第1積層体、27…第2の積層体、32、33…電流注入領域、34…電流狭窄層、35…空間

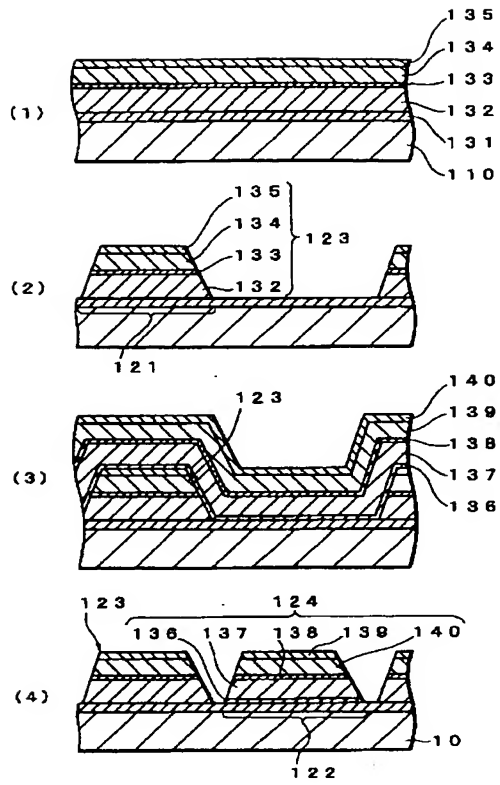
【図1】



【図2】



【図3】



【図4】

